

Rec'd PCT/PTO 03 NOV 2006
10/555096

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 20 日 (20.10.2005)

PCT

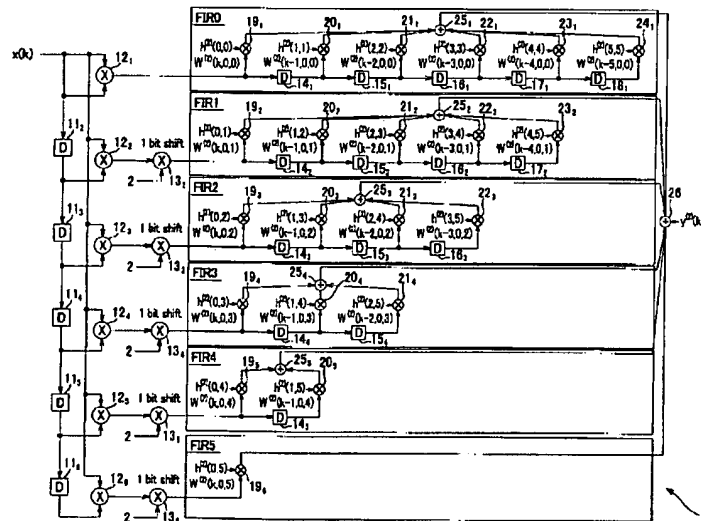
(10) 国際公開番号
WO 2005/099092 A1

- (51) 国際特許分類: H03H 17/00, (72) 発明者; および
17/02, G11B 20/10, 20/18 (75) 発明者/出願人 (米国についてのみ): 梶原 祥行 (KAJI-WARA, Yoshiyuki) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/005371
- (22) 国際出願日: 2005 年 3 月 24 日 (24.03.2005) (74) 代理人: 小池 晃, 外 (KOIKE, Akira et al.); 〒1000011 東京都千代田区幸町一丁目 1 番 7 号 大和生命ビル 1 1 階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2004-112318 2004 年 4 月 6 日 (06.04.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE AND METHOD, AND SIGNAL DECODING DEVICE AND METHOD

(54) 発明の名称: 信号処理装置及び方法、並びに信号復号装置及び方法



(57) Abstract: A signal processor (10) realizing the second order term of a second order Volterra filter comprising multipliers for multiplying first and second input signals wherein each multiplier comprises one or more delay circuits connected in series and delaying the out signal from the multiplier by a unit time and a coefficient multiplier for multiplying the output signal from the multiplier and the output signal from each delay circuit by specified coefficients. Such multipliers the number of which is n (n is an integer of 1 or more) are connected in parallel, and the k -th multiplier (k is an integer satisfying the relation $1 \leq k \leq n$) employs a signal obtained by delaying the first signal by $(k-1)$ times of the unit time as a second signal.

(57) 要約: 本発明は、2次ボルテラ・フィルタの2次項を実現する信号処理装置であり、この信号処理装置(10)は、第1の入力信号と第2の入力信号とを乗算する乗算器を備え、各乗算器は、該乗算器から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延回路と、乗算器から出力された信号及び各遅延回路から出力された信号に対して所定の係数を乗算する係数乗

[続葉有]

WO 2005/099092 A1



SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

信号処理装置及び方法、並びに信号復号装置及び方法

技術分野

- [0001] 本発明は、2次ボルテラ・フィルタの2次項を実現し、非線形歪を持つ入力信号を非線形等化する信号処理装置及びその方法、並びにそのような信号処理装置を備えた信号復号装置及びその方法に関する。

本出願は、日本国において2004年4月6日に出願された日本特許出願番号2004-112318を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

- [0002] 従来、磁気記録技術や光記録技術等を利用したストレージ装置或いは無線通信装置に用いられてきた信号処理装置及びそのソフトウェアアルゴリズムは、入力信号が線形であると仮定して構築された線形信号処理理論に基づいて設計されている。一般的に、これらの入力信号は完全に線形な信号成分のみからなる訳ではなく非線形成分も含まれているが、通常はその非線形成分のパワーが十分に小さいため、近似的に線形な信号とみなすことが可能である。このため、従来においては、線形理論に基づいた信号処理装置がその効果を十分に発揮してきた。

しかしながら、近年になってストレージ技術が発達し、その記録密度が高まるにつれて、再生信号中に無視できないほど大きな非線形性が現れるようになっており、それが位相同期ループ(Phase Locked Loop; PLL)性能の悪化、適応等化フィルタの収束性の悪化、さらには最終的なデータ誤り率の劣化などをもたらしている。そして、記録容量のさらなる増加を目指して記録媒体への高密度記録化が試みられているが、このような記録密度高い記録媒体や検出感度が高い反面その信号の入出力に非線形応答を持つ検出器を使用することで発生する信号の非線形歪が、装置全体のさらなる性能向上を阻害する大きな要因となっている。

これら再生信号の非線形歪の原因として代表的なものは、信号再生側に起因する非線形性、及び記録媒体に起因する非線形性である。前者の代表的な例としては、

磁気記録の再生ヘッドとして用いられるMR (Magnetoresistive) ヘッドの磁界電圧変換特性の非線形応答やベースライン・シフトなどが挙げられ、また、光記録で用いられるフォトディテクタの持つ非線形応答なども同様に挙げられる。一方、後者の代表的な例としては、磁気記録媒体、光記録媒体ともにその記録密度が高い状態における非線形符号間干渉 (Non Linear Inter Symbol Interference; NLISI) や、光記録における記録媒体の反射率の非線形性がもたらす信号の上下非対称性 (アシンメトリ) などが挙げられる。

ここで、最終的な誤り率の劣化の原因について、さらに考察する。

一般的な信号処理装置に実装されるLMS (Least Mean Square) アルゴリズムなどを用いた1次適応等化フィルタでは、非線形歪のない入力信号に対しては、パーシャルレスポンス (Partial Response; PR) などに代表される所定の等化方式に従った目標とする検出値と実際に検出された信号との間の誤差信号を検出することで、その2乗を最小にするようなタップ係数に収束することが保証されている。その一方で、その理論構成上、上下非対称性に代表される非線形歪を補正することはできない。

しかしながら、1次適応等化フィルタは、そのアルゴリズムの構成上、単に得られる2乗誤差を最小にするようなタップ係数を探索するため、上下非対称性を持つ入力信号では、本来ストレージ製品で目標とする最終的なデータ誤り率を向上させるために収束すべき理想的なタップ係数の値とは異なった値に収束してしまう可能性が避けられない。このことは、1次適応等化フィルタに入力する信号が非線形歪を持つ場合、本来非線形等化誤差を補正することを想定していない適応等化アルゴリズムに従うことで、予想外の新たな等化誤差 (非線形等化誤差) をもたらしめてしまう可能性を示している。そして、このような非線形等化誤差に起因して、最終的なデータ誤り率も劣化する。

このような背景から、非線形歪を持つ信号を非線形等化するための方法として、多項式フィルタを適応等化フィルタとして実装する手法が提案されている (例えば特許文献1, 2参照)。一般的に多項式フィルタはボルテラ・フィルタ (Volterra filter) と呼ばれ、従来から様々な分野において検討されてきた。このボルテラ・フィルタは、LMS やRLS (Recursive Least Square) などの適応等化アルゴリズムに従ってタップ係数を

更新動作させ、最小二乗誤差の意味で最適化することも可能であり、文献「“Adaptive Polynomial Filters”, V. John Mathews, IEEE SP Magazine, July, 1991, pp.10-26」には適応等化ボルテラ・フィルタの理論が詳細に記載されている。

ここで、一般的な2次ボルテラ・フィルタは、1次フィルタのタップ長を M_1 、2次フィルタのタップ長を M_2 としたとき、以下の式(1)のように表される。この式(1)において、 $y(k)$ は時刻 k における2次ボルテラ・フィルタの出力信号、 $x(k)$ は時刻 k における2次ボルテラ・フィルタへの入力信号、 $h^{(1)}(i)$ は1次フィルタのタップ係数($i=0, 1, \dots, M_1-1$)、 $h^{(2)}(i_1, i_2)$ は2次フィルタのタップ係数($i_1=0, 1, \dots, M_1-1; i_2=0, 1, \dots, M_2-1$)をそれぞれ示す。

[数1]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_1-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \dots(1)$$

なお、2次ボルテラ・フィルタは、そのタップ数を適応等化アルゴリズムに従って逐次最適化するように実装することが可能である。また、2次ボルテラ・フィルタの1次フィルタ及び2次フィルタのタップ係数の最適値が予め分かっている場合、2次ボルテラ・フィルタは、固定タップ係数のフィルタとして実装することも可能である。

式(1)の右辺の計算を入力信号 $x(k)$ について1サイクル終了するには、右辺第1項は M_1 個の乗算演算、右辺第2項は $2 \times M_1 \times M_2$ 個の乗算演算を必要とする。また、1次フィルタへの入力信号遅延線の他に、2次フィルタへの入力信号 $x(k)$ を保持するための遅延線が M_2 クロック分必要である。

2次ボルテラ・フィルタの既知の対称性を利用すると、2次フィルタのタップ係数は、以下の式(2)に示す関係を満たす。

[数2]

$$h^{(2)}(i_1, i_2) = h^{(2)}(i_2, i_1) \quad \dots(2)$$

この式(2)の関係を利用すると、上述した式(1)は、以下の式(3)のように簡略化さ

れる。

[数3]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^2(k-i) \\ + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots (3)$$

このとき式(3)の右辺第1項は M_1 個の乗算演算、右辺第2項は $2 \times M_2$ 個の乗算演算、右辺第3項は $M_2 \times (M_2 - 1)$ 個の乗算演算を必要とする。

式(1)及び式(3)で示す2次ボルテラ・フィルタの2次フィルタ部分の乗算器数を M_2 を変化させた場合について比較して図17及び以下の表1に示す。

[表1]

M2	式(1) 2次項乗算個数	式(3) 2次項乗算個数
1	2	2
2	8	6
3	18	12
4	32	20
5	50	30
6	72	42
7	98	58
8	128	72
9	162	90
10	200	110
11	242	132
12	288	156
13	338	182
14	392	210
15	450	240

図17及び表1から分かるように、 M_2 の値が大きくなるにつれて式(3)による乗算器削減の効果は大きくなるが、式(3)の構成でも $M_2=15$ の例で240個もの大量の乗算器が必要となる。

このように、高次等化ボルテラ・フィルタは、非線形歪を持つ入力信号を等化する際に非常に効果大きいものの、ハードウェア又はソフトウェアで実現しようとした場合

には多くの乗算演算が必要となり、コスト的に実装が困難であるという問題があった。

発明の開示

発明が解決しようとする課題

- [0003] 本発明は、上述したような従来の実情に鑑みて提案されたものであり、非線形歪を持つ入力信号を等化する際の乗算演算を大幅に削減することが可能な信号処理装置及びその方法、並びにそのような信号処理装置を備えた信号復号装置及びその方法を提供することを目的とする。

本発明を適用した信号処理装置は、入力信号を等化する等化器に2次ボルテラ・フィルタを用いてなる信号処理装置において、2次ボルテラ・フィルタの2次項を実現する2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算器を備え、乗算器は、該乗算器から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、乗算器から出力された信号及び各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算器と、係数乗算器の出力を加算する加算手段とを有する。

また、本発明を適用した信号処理方法は、入力信号を等化する際に2次ボルテラ・フィルタを用いる信号処理方法において、2次ボルテラ・フィルタの2次項に相当する処理は、第1の入力信号と第2の入力信号とを乗算する乗算工程と、乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、乗算工程にて出力された信号及び遅延工程にて各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、係数乗算工程の出力を加算する加算工程とを有する。

この信号処理装置及びその方法は、2次ボルテラ・フィルタを用いて非線形歪を持つ入力信号を等化するものであり、2次ボルテラ・フィルタの2次項を実現する2次フィルタで必要とされる乗算演算が大幅に削減されている。

本発明を適用した他の信号復号装置は、入力信号を等化して復号する際の等化器に2次ボルテラ・フィルタを用いてなる信号復号装置において、2次ボルテラ・フィルタの1次項を実現し、入力信号を線形等化する1次フィルタと、2次ボルテラ・フィルタの2次項を実現し、入力信号を非線形等化する2次フィルタと、1次フィルタから出

力された信号と2次フィルタから出力された信号とを加算する信号加算手段と、信号加算手段から出力された信号を最尤復号する最尤復号手段とを備え、2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算器を有し、乗算器は、該乗算器から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、乗算器から出力された信号及び各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算器と、係数乗算器の出力を加算する加算手段とを有する。

本発明を適用した他の信号復号方法は、入力信号を等化して復号する際に2次ボルテラ・フィルタを用いる信号復号方法において、2次ボルテラ・フィルタの1次項に相当する処理を実現し、入力信号を線形等化する1次フィルタリング工程と、2次ボルテラ・フィルタの2次項に相当する処理を実現し、入力信号を非線形等化する2次フィルタリング工程と、1次フィルタリング工程にて出力された信号と2次フィルタリング工程にて出力された信号とを加算する信号加算工程と、信号加算工程にて出力された信号を最尤復号する最尤復号工程とを有し、2次フィルタリング工程は、第1の入力信号と第2の入力信号とを乗算する乗算工程と、乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、乗算工程にて出力された信号及び遅延工程にて各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、係数乗算工程の出力を加算する加算工程とを有する。

この信号復号装置及びその方法は、2次ボルテラ・フィルタにより入力信号を等化して復号するものであり、2次ボルテラ・フィルタの1次項を実現する1次フィルタに加えて、2次ボルテラ・フィルタの2次項を実現する乗算演算が大幅に削減された2次フィルタを備えている。

本発明を適用した信号処理装置及びその方法によれば、2次ボルテラ・フィルタを用いて入力信号を等化する際に、2次ボルテラ・フィルタの2次項を実現する2次フィルタで必要とされる乗算演算を大幅に削減することができるため、この2次フィルタをLSI (Large-Scale Integrated circuit) で実現する場合の回路規模を削減することができ、また、DSP (Digital Signal Processor) 及びソフトウェアで実現する場合の計算量

を削減することができる。

また、本発明を適用した信号復号装置及びその方法によれば、2次ボルテラ・フィルタにより入力信号を等化して復号する際に、2次ボルテラ・フィルタの1次項を実現する1次フィルタに加えて、2次ボルテラ・フィルタの2次項を実現する乗算演算が大幅に削減された2次フィルタを備えているため、少ない乗算演算で非線形歪を効果的に補正することができる。

本発明のさらに他の目的、本発明によって得られる利点は、以下において図面を参照して説明される実施形態から一層明らかにされるであろう。

図面の簡単な説明

- [0004] [図1]図1は、 $M_2 = 6$ の場合における2次元配列 $x^{(2)}(k, i_1, i_2)$ の概念図である。
- [図2]図2は、 $M_2 = 6$ の場合における2次元配列 $h^{(2)}(i_1, i_2)$ の概念図である。
- [図3]図3は、図1に示す2次元配列中の対角項 $x^{(2)}(k, i, i)$ の要素を示す図である。
- [図4]図4は、図1に示す2次元配列中の非対角項 $x^{(2)}(k, i_1, i_2)$ の要素を示す図である。
- [図5]図5は、 $M_2 = 6$ の場合における2次元配列 $W^{(2)}(k, i_1, i_2)$ の概念図である。
- [図6]図6は、図5に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を $x^{(2)}(k, i_1, i_2)$ を用いて表した図である。
- [図7]図7は、図5に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を式(12)を用いて変換した図である。
- [図8]図8は、図7に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を $x^{(2)}(k, i_1, i_2)$ を用いて表した図である。
- [図9]図9は、本発明の一実施の形態における信号処理装置の概略構成の一例を説明する図である。
- [図10]図10は、本発明の一実施の形態における信号処理装置の概略構成の他の例を説明する図である。
- [図11]図11は、本発明の一実施の形態における信号処理装置の概略構成の他の例を説明する図である。
- [図12]図12は、本発明の一実施の形態における2次ボルテラ・フィルタの2次フィルタ

のタップ長と、そのときに必要な乗算器数との関係を示す図である。

[図13]図13は、 $M_1 = 10$ の場合における1次フィルタの回路構成例を示す図である。

[図14]図14は、本発明の一実施の形態における信号復号装置の概略構成を説明する図である。

[図15]図15は、非線形歪を持つ入力信号を線形適応等化フィルタのみで等化した場合のアイパターンを示す図である。

[図16]図16は、非線形歪を持つ入力信号を線形適応等化フィルタ及び非線形適応等化フィルタで等化した場合のアイパターンを示す図である。

[図17]図17は、従来の2次ボルテラ・フィルタの2次フィルタのタップ長と、そのときに必要な乗算器数との関係を示す図である。

発明を実施するための最良の形態

[0005] 本発明の実施の形態の説明に先立って、従来提案されている非線形歪を持つ信号を非線形等化するために用いられるボルテラ・フィルタ (Volterra filter) の手法を説明する。

ここで、一般的な2次ボルテラ・フィルタは、1次フィルタのタップ長を M_1 、2次フィルタのタップ長を M_2 としたとき、以下の式(4)のように表される。この式(4)において、 $y(k)$ は時刻 k における2次ボルテラ・フィルタの出力信号、 $x(k)$ は時刻 k における2次ボルテラ・フィルタへの入力信号、 $h^{(1)}(i)$ は1次フィルタのタップ係数($i=0, 1, \dots, M_1-1$)、 $h^{(2)}(i_1, i_2)$ は2次フィルタのタップ係数($i_1=0, 1, \dots, M_2-1; i_2=0, 1, \dots, M_2-1$)をそれぞれ示す。

[数4]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \dots (4)$$

式(4)の右辺の計算を入力信号 $x(k)$ について1サイクル終了するには、右辺第1項は M_1 回の乗算演算、右辺第2項は $2 \times M_2 \times M_2$ 回の乗算演算を必要とする。また、1次フィルタへの入力信号遅延線の他に、2次フィルタへの入力信号 $x(k)$ を保持するための遅延線が M_2 クロック分必要である。

また、2次ボルテラ・フィルタの既知の対称性を利用することで、上述した式(4)を以下の式(5)のように簡略化できることが知られている。

[数5]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^2(k-i) \\ + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots(5)$$

このとき式(5)の右辺第1項は M_1 回の乗算演算、右辺第2項は $2 \times M_2$ 回の乗算演算、右辺第3項は $M_2 \times (M_2 - 1)$ 回の乗算演算を必要とする。

しかしながら、この式(5)のように簡略化しても、 M_2 の値が大きい場合には2次フィルタ部分について膨大な乗算演算を行う必要があるため、2次ボルテラ・フィルタを実装することがコスト的に困難である。

そこで、本実施の形態では、2次ボルテラ・フィルタの2次フィルタ部分の演算を以下に説明するように簡略化することで、必要とされる乗算演算を大幅に削減する。

なお、本実施の形態における信号処理装置は、2次ボルテラ・フィルタの2次フィルタ部分の演算を行うことで非線形歪を持つ入力信号を非線形等化するものであり、本実施の形態における信号復号装置は、2次ボルテラ・フィルタの1次フィルタ部分の演算を行う等化フィルタに加えて上述の信号処理装置を非線形適応等化フィルタとして備え、光ディスクに記録された信号を等化して復号するものである。

以下では、先ず2次ボルテラ・フィルタの2次フィルタ部分の演算を簡略化する手法について説明し、次いでそのような簡略化された演算を行う本実施の形態における信号処理装置の構成及びその動作について説明する。

2次フィルタ部分の演算を簡略化するため、先ず2次ボルテラ・フィルタの入力信号の2次項を以下の式(6)のように置き換える。

[数6]

$$x(k-i_1) \cdot x(k-i_2) = x^{(2)}(k, i_1, i_2) \quad \cdots(6)$$

この式(6)から、以下の式(7)、(8)の関係を容易に導くことができる。

[数7]

$$x^{(2)}(k, i_1, i_2) = x^{(2)}(k, i_2, i_1) \quad \cdots(7)$$

$$\begin{aligned} x^{(2)}(k, i_1 + m, i_2 + m) &= x(k - m - i_1) \cdot x(k - m - i_2) \\ &= x^{(2)}(k - m, i_1, i_2) \end{aligned} \quad \cdots(8)$$

また、式(6)を用いることで、上述の式(4)を以下の式(9)のように書き換えることができる。

[数8]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x^{(2)}(k, i_1, i_2) \quad \cdots(9)$$

この式(9)の第2項は、 $M_2 \times M_2$ 個の要素を持つ2次タップ係数の2次元配列 $h^{(2)}(i_1, i_2)$ の各要素と、ある時刻 k における $M_2 \times M_2$ 個の要素を持つ2次信号の2次元配列 $x^{(2)}(k, i_1, i_2)$ の各要素の対応する (i_1, i_2) 要素同士を乗算し、得られた乗算出力をそれぞれ加算しているとみなすことができる。

以下、一例として $M_2=6$ の場合について説明する。このとき、 6×6 個の要素を持つ2次信号の2次元配列 $x^{(2)}(k, i_1, i_2)$ の概念図を図1に示す。また、 6×6 個の要素を持つ2次タップ係数の2次元配列 $h^{(2)}(i_1, i_2)$ の概念図を図2に示す。ここで2次フィルタのタップ係数 $h^{(2)}(i_1, i_2)$ は、固定のタップ係数でも任意の適応等化アルゴリズムによって逐次更新されるものでも構わない。上述した式(9)の第2項は、この図1及び図2の対応する (i_1, i_2) 要素同士を乗算し、得られた各項をそれぞれ加算するものである。

ここで、式(6)を用いることで、上述した式(5)を以下の式(10)のように書き換えることができる。

[数9]

$$\begin{aligned}
y(k) = & \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^{(2)}(k, i, i) \\
& + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x^{(2)}(k, i_1, i_2) \quad \dots(10)
\end{aligned}$$

このとき、式(10)の右辺第2項に含まれる2次信号の対角項 $x^{(2)}(k, i, i)$ の各要素が図1の2次元配列中のどの部分に位置するかを図3に示す。図3から分かるように、対角項 $x^{(2)}(k, i, i)$ の各要素は、2次元配列中の $i_1=i_2$ の要素、すなわち対角要素である。同様に、式(10)の右辺第3項に含まれる非対角項 $x^{(2)}(k, i_1, i_2)$ の各要素が図1の2次元配列中のどの部分に位置するかを図4に示す。図4から分かるように、非対角項 $x^{(2)}(k, i_1, i_2)$ の各要素は、2次元配列中の $i_1 < i_2$ の要素、すなわち対角要素を除いた上三角要素である。

ここで、ある時刻 k における 6×6 個の要素を持つ2次元配列 $W^{(2)}(k, i_1, i_2)$ を以下の式(11)のように定義する。

[数10]

$$W^{(2)}(k, i_1, i_2) = \begin{cases} x^{(2)}(k, i_1, i_2), & i_1 = i_2, \\ 2x^{(2)}(k, i_1, i_2), & i_1 < i_2, \\ 0, & \text{else.} \end{cases} \quad \dots(11)$$

このとき、 $W^{(2)}(k, i_1, i_2)$ について、任意の整数 m について式(8)から以下の式(12)の関係が容易に導かれる。

[数11]

$$W^{(2)}(k, i_1 + m, i_2 + m) = W^{(2)}(k - m, i_1, i_2) \quad \dots(12)$$

また、式(11)を用いることで、上述した式(10)は以下の式(13)のように表される。式(14)は、式(13)を式(15)で示す1次フィルタ出力と式(16)で示す2次フィルタ出

力との和で表したものである。

[数12]

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_1-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot W^{(2)}x(k, i_1, i_2) \quad \cdots(13)$$

$$y(k) = y^{(1)}(k) + y^{(2)}(k) \quad \cdots(14)$$

$$y^{(1)}(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) \quad \cdots(15)$$

$$y^{(2)}(k) = \sum_{i_1=0}^{M_1-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot W^{(2)}x(k, i_1, i_2) \quad \cdots(16)$$

式(13)の2次フィルタの項に含まれる2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素を図5に示す。図5に示すように、 $W^{(2)}(k, i_1, i_2)$ では、その対角要素を除いた下三角成分としてゼロ値を持つ。比較のため、図5の各要素を式(11)のように $x^{(2)}(k, i_1, i_2)$ を用いて表した2次元配列を図6に示す。

また、式(12)を用いて図5の各要素を変換した2次元配列を図7に示す。ここで、 $W^{(2)}(k-m, i_1, i_2)$ は、 $W^{(2)}(k, i_1, i_2)$ を m クロックだけ遅延させた信号を表している。比較のため、図7の各要素を式(11)で示したように $x^{(2)}(k, i_1, i_2)$ を用いて表した2次元配列を図8に示す。

ここで、図7における対角要素は、 $W^{(2)}(k, 0, 0)$, $W^{(2)}(k-1, 0, 0)$, \cdots , $W^{(2)}(k-5, 0, 0)$ となっており、これは $W^{(2)}(k, 0, 0)$ を1クロックずつ遅延させたものに相当する。同様に、対角要素と平行な隣の要素は、 $W^{(2)}(k, 0, 1)$, $W^{(2)}(k-1, 0, 1)$, \cdots , $W^{(2)}(k-4, 0, 1)$ となっており、これは $W^{(2)}(k, 0, 1)$ を1クロックずつ遅延させたものに相当する。すなわち、図7における対角要素及びこれと平行な複数の1次元配列とみなすことができる非対角要素は、FIR(Finite Impulse Response)フィルタにおける各遅延回路の出力とみなすことができる。また、これら各遅延要素からの出力は、式(12)、(13)で対応するインデックス (i_1, i_2) を持つ2次タップ係数 $h^{(2)}(i_1, i_2)$ との積をとることで2次フィルタを構成するため、図7の対角要素を構成する2次フィルタ部分とそれに平行している非対角要素部分が構成する2次フィルタ部分とは、それぞれ独立したFIRフィルタを構成しているとみなすことができる。

そこで、上述した式(6)、(11)を考慮し、時刻 k における入力を $x(k)$ としたときに式(13)中の $W^{(2)}(k, i_1, i_2)$ を出力する信号処理装置の回路構成の例を図9に示す。図9に示すように、信号処理装置10は、乗算器及び遅延回路からなるFIRフィルタ(FIR0〜FIR5)が6個並列に接続されたものであり、各FIRフィルタの間には遅延回路が設けられている。このうち、図9においてFIR0で示された1個目のFIRフィルタ構成は図7における対角要素である $W^{(2)}(k, 0, 0)$, $W^{(2)}(k-1, 0, 0)$, \dots , $W^{(2)}(k-5, 0, 0)$ を出力するものであり、図9においてFIR1で示された2個目のFIRフィルタ構成は対角要素と平行な隣の要素である $W^{(2)}(k, 0, 1)$, $W^{(2)}(k-1, 0, 1)$, \dots , $W^{(2)}(k-5, 0, 1)$ を出力するものであり、以下同様である。

図9において、乗算器 12_1 では、時刻 k における入力信号 $x(k)$ 同士が乗算され、 $W^{(2)}(k, 0, 0) (=x(k) \cdot x(k))$ が出力される。同時に、遅延回路 $14_1, 15_1, 16_1, 17_1, 18_1$ でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 0)$, \dots , $W^{(2)}(k-5, 0, 0)$ がそれぞれ遅延回路 $14_1, 15_1, 16_1, 17_1, 18_1$ から出力される。そして、乗算器 12_1 からの出力及び遅延回路 $14_1, 15_1, 16_1, 17_1, 18_1$ からの出力は、乗算器 $19_1, 20_1, 21_1, 22_1, 23_1, 24_1$ で対応するタップ係数 $h^{(2)}(0, 0)$, $h^{(2)}(1, 1)$, $h^{(2)}(2, 2)$, $h^{(2)}(3, 3)$, $h^{(2)}(4, 4)$, $h^{(2)}(5, 5)$ との積がとられ、その出力が加算器 25_1 で加算され、FIR0の出力となる。

また、乗算器 12_2 では、時刻 k における入力信号 $x(k)$ と遅延回路 11_2 で遅延された1クロック前の信号 $x(k-1)$ とが乗算され、さらに乗算器 13_2 で2が乗算されて、 $W^{(2)}(k, 0, 1) (=2x(k) \cdot x(k-1))$ が出力される。同時に、遅延回路 $14_2, 15_2, 16_2, 17_2$ でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 1)$, \dots , $W^{(2)}(k-4, 0, 1)$ がそれぞれ遅延回路 $14_2, 15_2, 16_2, 17_2$ から出力される。そして、乗算器 12_2 からの出力及び遅延回路 $14_2, 15_2, 16_2, 17_2$ からの出力は、乗算器 $19_2, 20_2, 21_2, 22_2, 23_2$ で対応するタップ係数 $h^{(2)}(0, 1)$, $h^{(2)}(1, 2)$, $h^{(2)}(2, 3)$, $h^{(2)}(3, 4)$, $h^{(2)}(4, 5)$ との積がとられ、その出力が加算器 25_2 で加算され、FIR1の出力となる。

また、乗算器 12_3 では、時刻 k における入力信号 $x(k)$ と遅延回路 11_3 でさらに1クロック遅延された2クロック前の信号 $x(k-2)$ とが乗算され、さらに乗算器 13_3 で2が乗算されて、 $W^{(2)}(k, 0, 2) (=2x(k) \cdot x(k-2))$ が出力される。同時に、遅延回路 $14_3, 1$

$5_3, 16_3$ でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 2), \dots, W^{(2)}(k-3, 0, 2)$ がそれぞれ遅延回路 $14_3, 15_3, 16_3$ から出力される。そして、乗算器 12_3 からの出力及び遅延回路 $14_3, 15_3, 16_3$ からの出力は、乗算器 $19_3, 20_3, 21_3, 22_3$ で対応するタップ係数 $h^{(2)}(0, 2), h^{(2)}(1, 3), h^{(2)}(2, 4), h^{(2)}(3, 5)$ との積がとられ、その出力が加算器 25_3 で加算され、FIR2の出力となる。

また、乗算器 12_4 では、時刻 k における入力信号 $x(k)$ と遅延回路 11_4 でさらに1クロック遅延された3クロック前の信号 $x(k-3)$ とが乗算され、さらに乗算器 13_4 で2が乗算されて、 $W^{(2)}(k, 0, 3) (= 2x(k) \cdot x(k-3))$ が出力される。同時に、遅延回路 $14_4, 15_4$ でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 3), W^{(2)}(k-2, 0, 3)$ がそれぞれ遅延回路 $14_4, 15_4$ から出力される。そして、乗算器 12_4 からの出力及び遅延回路 $14_4, 15_4$ からの出力は、乗算器 $19_4, 20_4, 21_4$ で対応するタップ係数 $h^{(2)}(0, 3), h^{(2)}(1, 4), h^{(2)}(2, 5)$ との積がとられ、その出力が加算器 25_4 で加算され、FIR3の出力となる。

また、乗算器 12_5 では、時刻 k における入力信号 $x(k)$ と遅延回路 11_5 でさらに1クロック遅延された4クロック前の信号 $x(k-4)$ とが乗算され、さらに乗算器 13_5 で2が乗算されて、 $W^{(2)}(k, 0, 4) (= 2x(k) \cdot x(k-4))$ が出力される。同時に、遅延回路 14_5 で1クロック遅延された信号である $W^{(2)}(k-1, 0, 4)$ が遅延回路 14_5 から出力される。そして、乗算器 12_5 からの出力及び遅延回路 14_5 からの出力は、乗算器 $19_5, 20_5$ で対応するタップ係数 $h^{(2)}(0, 4), h^{(2)}(1, 5)$ との積がとられ、その出力が加算器 25_5 で加算され、FIR4の出力となる。

そして、乗算器 12_6 では、時刻 k における入力信号 $x(k)$ と遅延回路 11_6 でさらに1クロック遅延された5クロック前の信号 $x(k-5)$ とが乗算され、さらに乗算器 13_6 で2が乗算されて、 $W^{(2)}(k, 0, 5) (= 2x(k) \cdot x(k-5))$ が出力される。さらに乗算器 20_6 では、この出力に対して乗算器 19_6 で対応するタップ係数 $h^{(2)}(0, 5)$ との積がとられ、その出力がFIR5の出力となる。

最終的な2次フィルタの出力は、各FIRフィルタ(FIR0〜FIR5)の出力を加算器26で加算した和で表される。

ここで、乗算器 $13_2, \dots, 13_6$ で2を乗算することは、ディジタル回路における2進数

を用いた演算において1ビットの左シフトとして扱えるため、専用の乗算器は不要である。したがって、 $M_2=6$ の場合、2次フィルタ部分の乗算器は、乗算器 $12_1, \dots, 12_6, 19_1, \dots, 19_6, 20_1, \dots, 20_5, 21_1, \dots, 21_4, 22_1, \dots, 22_3, 23_1, 23_2, 24_1$ の合計27個しか必要ない。

式(13)で示す2次ボルテラ・フィルタの2次フィルタ部分の乗算器数を M_2 を変化させた場合について図10及び以下の表2に示す。なお、従来の乗算器数と比較するため、図10及び表2には、式(4)及び式(5)で示した従来の2次ボルテラ・フィルタの2次フィルタ部分の乗算器数についても併せて示す。

[表2]

M2	式(4) 2次項乗算個数	式(5) 2次項乗算個数	式(13) 2次項乗算個数
1	2	2	2
2	8	6	4
3	18	12	6
4	32	20	8
5	50	30	10
6	72	42	12
7	98	56	14
8	128	72	16
9	162	90	18
10	200	110	20
11	242	132	22
12	288	156	24
13	338	182	26
14	392	210	28
15	450	240	30

図10及び表2から分かるように、本実施の形態における手法によれば、式(5)に示す従来の演算削減手法と併用することで、式(4)と比べて乗算演算を大幅に削減することができる。また、本実施の形態における手法によれば、式(5)で示す従来の演算削減手法を単独で使用した場合と比べて大幅に乗算演算を削減することができる。この効果は、 M_2 の値が大きい場合に顕著である。

なお、上述した信号処理装置10は、図8に示した2次元配列の各要素を出力するために図9に示すような構成としたが、各FIRフィルタの構成は独立であるため、フィルタの等化性能が所望の性能、例えばデータ誤り率等が所定の値以上の場合など、

ストレージ装置として必要とする性能が十分得られれば、乗算器 $19_1, \dots, 19_6, 20_1, \dots, 20_5, 21_1, \dots, 21_4, 22_1, \dots, 22_3, 23_1, 23_2, 24_1$ の数、すなわち各FIRフィルタ(FIR0〜FIR5)のタップ長を変更することも可能である。また、同様にフィルタの等化性能が所望の性能に対して十分得られれば、FIRフィルタの個数を変更することも可能である。ただし、FIRフィルタ(FIR0〜FIR5)の対角項(FIR0)から非対角項(FIR1〜FIR5)へと向かう時間軸方向の深さは、等化目標のPR(Partial Response)の符号間干渉(Inter Symbol Interference; ISI)の長さに関連する量であると考えられるため、ISI長さと同じかそれ以上多く設けることが好ましい。ここで、PR符号間干渉の長さとは、例えばPR(111)の場合、3である。さらに、任意の適応等化アルゴリズムによってタップ係数を更新する場合、1ビット・シフトを行う乗算器 $13_2, \dots, 13_6$ を除いた構成も可能であるが、2次フィルタのタップ係数の収束が遅くなってしまうため、この乗算器 $13_2, \dots, 13_6$ を設けた構成の方が好ましい。ただし、図11、12に示すような回路構成をとることにより、1ビット・シフトを行う乗算器の数を削減したり事実上回路から除いたりしても、性能の劣化をもたらさないようにすることも可能である。

図11に示す信号処理装置10の回路構成は、図9に示した回路構成をさらに簡略化したものであり、図9よりも演算規模がさらに削減されている。具体的には、FIR1〜FIR5の出力を加算器27で加算した後に、図9の乗算器 $13_2, \dots, 13_6$ に相当する計算を乗算器28において行い、さらにその出力とFIR0の加算器 25_1 の出力とを加算器29で加算することにより、FIR1〜FIR5で必要なビット幅を削減し、2倍を意味する1ビット・シフト演算を1つに削減する。

また、この1ビット・シフト演算で表される2倍の係数は、各タップ係数を予め2倍にしておくことで、タップ係数自体に組み入れることも可能である。また、そのタップ係数が適応等化アルゴリズムによって更新される場合には、2倍の係数をそのタップ係数自体又はタップ係数更新のステップゲインパラメータに組み入れることができる。後者の場合、対角項のステップゲインパラメータが μ_2 のとき、非対角項のステップゲインパラメータを $2 \times \mu_2$ とすれば、各FIRフィルタ(FIR1〜FIR5)から2倍の係数が必要なくなるため、図9における乗算器 $13_2, \dots, 13_6$ が不要となり、回路構成がより簡略

化される。これらの場合の回路構成を図12に示す。この場合、非対角項のタップ係数の更新速度が2倍となるため、非対角項のタップ係数の値が2倍されているの事実上同じである。

以上のように、本実施の形態における信号処理装置10によれば、非線形歪を持つ入力信号を非線形等化する際の乗算演算を大幅に削減することができるため、LSI (Large-Scale Integrated circuit) で実現する場合の回路規模を削減することができ、また、DSP (Digital Signal Processor) 及びソフトウェアで実現する場合の計算量を削減することができる。

図13に $M_1 = 10$ の場合の1次フィルタの回路構成例を示す。1次フィルタは、入力信号 $x(k)$ を遅延させる遅延回路 $30_1, \dots, 30_9$ と、入力信号 $x(k)$ 及び遅延回路 $30_1, \dots, 30_9$ から出力された遅延信号 $x(k-1), \dots, x(k-9)$ に対して所定のフィルタタップ係数を乗算する乗算器 $31_1, \dots, 31_{10}$ と、乗算器 $31_1, \dots, 31_{10}$ の出力を加算する加算器32とから構成される。タップ係数 $h^{(i)}(i)$ ($i=0, \dots, 9$)は、固定されたタップ係数でも任意の適応等化アルゴリズムによって更新されるものでも構わない。

次に、このような信号処理装置10を非線形適応等化フィルタとして備える本実施の形態における信号復号装置の構成及び動作について説明する。

図14に示す信号復号装置50において、光ディスク40に記録された信号を再生する際には、光学ヘッド51内のレーザ光源からのレーザ光が光学系を介して光ディスク40に照射され、その戻り光が光学ヘッド51内の光学系を介して受光素子に受光され、光電変換される。光学ヘッド51内の受光素子からの信号は、RF (Radio Frequency) アンプ52で増幅され、A/D (Analogue/Digital) コンバータ53で量子化される。

量子化された信号は、DPLL (Digital Phase Locked Loop) 回路54に送られ、DPLLにより同期したクロックでサンプリングされたものと同様のRF信号が出力される。DPLL回路54からの出力信号は、線形適応等化フィルタ55及び非線形適応等化フィルタ56で適応等化处理が施され、それぞれの出力信号が加算器57で加算される。加算された信号 $y(k)$ は、LMS (Least Mean Square) エラー検出器58及びビタビ検出回路59に送られる。なお、線形適応等化フィルタ55は、式(13)で示した2次ボルテ

ラ・フィルタの1次フィルタ部分の演算を行うものである。一方、非線形適応等化フィルタ56は、2次フィルタ部分の演算を行うものであり、例えば上述した図9のように構成される。

加算器57からの信号がLMSエラー検出器58に送られると、所定の等化方式に従った目標とする検出値との間の誤差信号が検出され、その誤差信号に基づいて1次フィルタ及び2次フィルタのタップ係数が更新される。LMSエラー検出器58内部での入力符号系列の検出方法は任意であり、例えば閾値検出、FDTS (Fixed Delay Tree Search)、ビタビ検出器などの一般的な手法によって元の符号系列が検出される。具体的に、LMSエラー検出器58では、検出器で判定された符号系列と等化目標のPR係数が畳み込まれて仮判定PR信号 $d(k)$ が生成され、時刻 k における目標とする仮判定PR信号検出値 $d(k)$ と時刻 k における加算器57からの信号 $y(k)$ との間の誤差信号 $e(k)$ ($=d(k)-y(k)$) が検出される。そして、以下の式(17)に従って1次フィルタの次の時刻、すなわち時刻 $k+1$ におけるタップ係数 $h^{(1)}(k+1:i)$ が更新されるとともに、以下の式(18)に従って2次フィルタの時刻 $k+1$ におけるタップ係数 $h^{(2)}(k+1:i_1, i_2)$ が更新される。この式(17)、(18)において、 μ_1 、 μ_2 はLMSアルゴリズムのステップゲインパラメータを示す。更新されたタップ係数は、線形適応等化フィルタ55及び非線形適応等化フィルタ56のそれぞれに送られる。

[数13]

$$h^{(1)}(k+1:i) = h^{(1)}(k:i) + \mu_1 \cdot e(k) \cdot x(k-i) \quad \cdots(17)$$

$$h^{(2)}(k+1:i_1, i_2) = h^{(2)}(k:i_1, i_2) + \mu_2 \cdot e(k) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots(18)$$

また、加算器57からの信号は、ビタビ検出回路59でビタビアルゴリズムに基づく復号処理が施され、復調回路60で記録時の変調の逆処理としての復調処理が施される。復調された再生データは、エラー訂正回路61に送られてエラー訂正処理が施される。

ここで、具体的な信号における等化結果を図15及び図16に示す。図15は、線形

適応等化フィルタ55のみで等化を行った例を示し、図16は、線形適応等化フィルタ55及び非線形適応等化フィルタ56で等化を行った例を示す。なお、何れも等化方式はPR(111)である。本実施例では、図14の信号復号装置50について、光ディスク再生信号を計算機による数値計算シミュレーションで生成し、それをA/Dコンバータ相当のプログラムでサンプリングし、図14のデジタル部を信号処理プログラムで構成した。またシミュレーション波形には15パーセントのアシンメトリを発生させた。

以下に図14のDPLL回路54出力での等化前デジタルデータ及び加算器57出力での線形・非線形適応等化後デジタルデータを、デジタル信号処理のサンプリング定理を満たす補間関数であるSINC関数で補間して表示したアイパターンを示す。

線形適応等化フィルタ55のみを用いた場合、図15(A)に示すDPLL回路54の出力すなわち等化前のアイパターンと図15(B)に示す等化後のアイパターンを比較して分かるように、等化前の波形に発生させた非線形性、すなわち15パーセントのアシンメトリが等化後においても非線形等化誤差として残留しており、下側のアイがつぶれたままである。これに対して、線形適応等化フィルタ55及び非線形適応等化フィルタ56を用いた場合、図16(A)に示すDPLL回路54の出力すなわち等化前のアイパターンと図16(B)に示す等化後のアイパターンを比較すると、非線形適応等化フィルタの効果により等化前の波形に発生させた非線形性、すなわち15パーセントのアシンメトリが改善され、上下対称なアイパターンが得られていることが分かる。

以上のように、本実施の形態における信号復号装置50によれば、従来の線形適応等化を行う線形適応等化フィルタ55に加えて、上述した信号処理装置10に対応する非線形適応等化フィルタ56を設けることで、光ディスク40に記録された信号を再生する際に、非線形歪を効果的に補正することができる。特に、この非線形適応等化フィルタ56は、必要な乗算演算が従来よりも大幅に削減されているため、実装が容易である。

なお、本発明は、図面を参照して説明した上述の実施例に限定されるものではなく、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

請求の範囲

- [1] 1. 入力信号を等化する等化器に2次ボルテラ・フィルタを用いてなる信号処理装置において、
上記2次ボルテラ・フィルタの2次項を実現する2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算手段を備え、
上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有することを特徴とする信号処理装置。
- [2] 2. 上記2次フィルタは、複数の上記乗算手段を備え、一の乗算手段は、上記第1の信号を遅延しない信号を上記第2の信号として用い、他の乗算手段は、上記第1の信号を所定時間遅延した信号を上記第2の信号として用いることを特徴とする請求の範囲第1項記載の信号処理装置。
- [3] 3. 上記2次フィルタは、 n 個 (n は1以上の整数) の上記乗算手段を備え、
 k 番目 (k は $1 \leq k \leq n$ を満たす整数) の乗算手段は、上記第1の信号を上記単位時間の $(k-1)$ 倍だけ遅延した信号を上記第2の信号として用いることを特徴とする請求の範囲第1項記載の信号処理装置。
- [4] 4. 入力信号を等化する際に2次ボルテラ・フィルタを用いる信号処理方法において、
上記2次ボルテラ・フィルタの2次項に相当する処理は、
第1の入力信号と第2の入力信号とを乗算する乗算工程と、
上記乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、
上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、上記係数乗算工程の出力を加算する加算工程とを有することを特徴とする信号処理方法。
- [5] 5. 入力信号を等化して復号する際の等化器に2次ボルテラ・フィルタを用いてなる信

号復号装置において、

上記2次ボルテラ・フィルタの1次項を実現し、上記入力信号を線形等化する1次フィルタと、

上記2次ボルテラ・フィルタの2次項を実現し、上記入力信号を非線形等化する2次フィルタと、

上記1次フィルタから出力された信号と上記2次フィルタから出力された信号とを加算する信号加算手段と、

上記信号加算手段から出力された信号を最尤復号する最尤復号手段とを備え、

上記2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算手段を有し、

上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有する

ことを特徴とする信号復号装置。

- [6] 6. 上記2次フィルタは、複数の上記乗算手段を有し、一の乗算手段は、上記第1の信号を遅延しない信号を上記第2の信号として用い、他の乗算手段は、上記第1の信号を所定時間遅延した信号を上記第2の信号として用いることを特徴とする請求の範囲第5項記載の信号復号装置。
- [7] 7. 上記2次フィルタは、 n 個 (n は1以上の整数) の上記乗算手段を有し、 k 番目 (k は $1 \leq k \leq n$ を満たす整数) の乗算手段は、上記第1の信号を上記単位時間の $(k-1)$ 倍だけ遅延した信号を上記第2の信号として用いることを特徴とする請求の範囲第5項記載の信号復号装置。
- [8] 8. 上記信号加算手段から出力された各離散時間における信号と目標信号との誤差を検出する誤差検出手段をさらに備え、上記係数乗算手段は、上記誤差検出手段で検出された誤差に基づいて、離散時間毎に上記所定の係数を更新することを特徴とする請求の範囲第5項記載の信号復号装置。
- [9] 9. 入力信号を等化して復号する際に2次ボルテラ・フィルタを用いる信号復号方法

において、

上記2次ボルテラ・フィルタの1次項に相当する処理を実現し、上記入力信号を線形等化する1次フィルタリング工程と、

上記2次ボルテラ・フィルタの2次項に相当する処理を実現し、上記入力信号を非線形等化する2次フィルタリング工程と、

上記1次フィルタリング工程にて出力された信号と上記2次フィルタリング工程にて出力された信号とを加算する信号加算工程と、

上記信号加算工程にて出力された信号を最尤復号する最尤復号工程とを有し、

上記2次フィルタリング工程は、

第1の入力信号と第2の入力信号とを乗算する乗算工程と、

上記乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、

上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、

上記係数乗算工程の出力を加算する加算工程とを有する

ことを特徴とする信号復号方法。

[図1]

	i_2	0	1	2	3	4	5
i_1							
0		$x^{(2)}(k,0,0)$	$x^{(2)}(k,0,1)$	$x^{(2)}(k,0,2)$	$x^{(2)}(k,0,3)$	$x^{(2)}(k,0,4)$	$x^{(2)}(k,0,5)$
1		$x^{(2)}(k,1,0)$	$x^{(2)}(k,1,1)$	$x^{(2)}(k,1,2)$	$x^{(2)}(k,1,3)$	$x^{(2)}(k,1,4)$	$x^{(2)}(k,1,5)$
2		$x^{(2)}(k,2,0)$	$x^{(2)}(k,2,1)$	$x^{(2)}(k,2,2)$	$x^{(2)}(k,2,3)$	$x^{(2)}(k,2,4)$	$x^{(2)}(k,2,5)$
3		$x^{(2)}(k,3,0)$	$x^{(2)}(k,3,1)$	$x^{(2)}(k,3,2)$	$x^{(2)}(k,3,3)$	$x^{(2)}(k,3,4)$	$x^{(2)}(k,3,5)$
4		$x^{(2)}(k,4,0)$	$x^{(2)}(k,4,1)$	$x^{(2)}(k,4,2)$	$x^{(2)}(k,4,3)$	$x^{(2)}(k,4,4)$	$x^{(2)}(k,4,5)$
5		$x^{(2)}(k,5,0)$	$x^{(2)}(k,5,1)$	$x^{(2)}(k,5,2)$	$x^{(2)}(k,5,3)$	$x^{(2)}(k,5,4)$	$x^{(2)}(k,5,5)$

FIG. 1

[図2]

		i_2					
		0	1	2	3	4	5
i_1	0	$h^{(2)}(0,0)$	$h^{(2)}(0,1)$	$h^{(2)}(0,2)$	$h^{(2)}(0,3)$	$h^{(2)}(0,4)$	$h^{(2)}(0,5)$
	1	$h^{(2)}(1,0)$	$h^{(2)}(1,1)$	$h^{(2)}(1,2)$	$h^{(2)}(1,3)$	$h^{(2)}(1,4)$	$h^{(2)}(1,5)$
	2	$h^{(2)}(2,0)$	$h^{(2)}(2,1)$	$h^{(2)}(2,2)$	$h^{(2)}(2,3)$	$h^{(2)}(2,4)$	$h^{(2)}(2,5)$
	3	$h^{(2)}(3,0)$	$h^{(2)}(3,1)$	$h^{(2)}(3,2)$	$h^{(2)}(3,3)$	$h^{(2)}(3,4)$	$h^{(2)}(3,5)$
	4	$h^{(2)}(4,0)$	$h^{(2)}(4,1)$	$h^{(2)}(4,2)$	$h^{(2)}(4,3)$	$h^{(2)}(4,4)$	$h^{(2)}(4,5)$
	5	$h^{(2)}(5,0)$	$h^{(2)}(5,1)$	$h^{(2)}(5,2)$	$h^{(2)}(5,3)$	$h^{(2)}(5,4)$	$h^{(2)}(5,5)$

FIG.2

[図3]

		i_2					
		0	1	2	3	4	5
i_1	0	$x^{(2)}(k,0,0)$					
	1		$x^{(2)}(k,1,1)$				
	2			$x^{(2)}(k,2,2)$			
	3				$x^{(2)}(k,3,3)$		
	4					$x^{(2)}(k,4,4)$	
	5						$x^{(2)}(k,5,5)$

FIG.3

[図4]

		i_2					
		0	1	2	3	4	5
i_1							
0		$x^{(2)}(k,0,1)$	$x^{(2)}(k,0,2)$	$x^{(2)}(k,0,3)$	$x^{(2)}(k,0,4)$	$x^{(2)}(k,0,5)$	
1			$x^{(2)}(k,1,2)$	$x^{(2)}(k,1,3)$	$x^{(2)}(k,1,4)$	$x^{(2)}(k,1,5)$	
2				$x^{(2)}(k,2,3)$	$x^{(2)}(k,2,4)$	$x^{(2)}(k,2,5)$	
3					$x^{(2)}(k,3,4)$	$x^{(2)}(k,3,5)$	
4						$x^{(2)}(k,4,5)$	
5							

FIG.4

[図5]

i_1	i_2					
	0	1	2	3	4	5
0	$W^{(2)}(k,0,0)$	$W^{(2)}(k,0,1)$	$W^{(2)}(k,0,2)$	$W^{(2)}(k,0,3)$	$W^{(2)}(k,0,4)$	$W^{(2)}(k,0,5)$
1	0	$W^{(2)}(k,1,1)$	$W^{(2)}(k,1,2)$	$W^{(2)}(k,1,3)$	$W^{(2)}(k,1,4)$	$W^{(2)}(k,1,5)$
2	0	0	$W^{(2)}(k,2,2)$	$W^{(2)}(k,2,3)$	$W^{(2)}(k,2,4)$	$W^{(2)}(k,2,5)$
3	0	0	0	$W^{(2)}(k,3,3)$	$W^{(2)}(k,3,4)$	$W^{(2)}(k,3,5)$
4	0	0	0	0	$W^{(2)}(k,4,4)$	$W^{(2)}(k,4,5)$
5	0	0	0	0	0	$W^{(2)}(k,5,5)$

FIG.5

[図6]

i_2		0	1	2	3	4	5
i_1							
0		$x^{(2)}(k,0,0)$	$2x^{(2)}(k,0,1)$	$2x^{(2)}(k,0,2)$	$2x^{(2)}(k,0,3)$	$2x^{(2)}(k,0,4)$	$2x^{(2)}(k,0,5)$
1		0	$x^{(2)}(k,1,1)$	$2x^{(2)}(k,1,2)$	$2x^{(2)}(k,1,3)$	$2x^{(2)}(k,1,4)$	$2x^{(2)}(k,1,5)$
2		0	0	$x^{(2)}(k,2,2)$	$2x^{(2)}(k,2,3)$	$2x^{(2)}(k,2,4)$	$2x^{(2)}(k,2,5)$
3		0	0	0	$x^{(2)}(k,3,3)$	$2x^{(2)}(k,3,4)$	$2x^{(2)}(k,3,5)$
4		0	0	0	0	$x^{(2)}(k,4,4)$	$2x^{(2)}(k,4,5)$
5		0	0	0	0	0	$x^{(2)}(k,5,5)$

FIG.6

[図7]

		i_2					
i_1		0	1	2	3	4	5
		$W^{(2)}(k,0,0)$	$W^{(2)}(k,0,1)$	$W^{(2)}(k,0,2)$	$W^{(2)}(k,0,3)$	$W^{(2)}(k,0,4)$	$W^{(2)}(k,0,5)$
1	0	0	$W^{(2)}(k-1,0,0)$	$W^{(2)}(k-1,0,1)$	$W^{(2)}(k-1,0,2)$	$W^{(2)}(k-1,0,3)$	$W^{(2)}(k-1,0,4)$
2	0	0	0	$W^{(2)}(k-2,0,0)$	$W^{(2)}(k-2,0,1)$	$W^{(2)}(k-2,0,2)$	$W^{(2)}(k-2,0,3)$
3	0	0	0	0	$W^{(2)}(k-3,0,0)$	$W^{(2)}(k-3,0,1)$	$W^{(2)}(k-3,0,2)$
4	0	0	0	0	0	$W^{(2)}(k-4,0,0)$	$W^{(2)}(k-4,0,1)$
5	0	0	0	0	0	0	$W^{(2)}(k-5,0,0)$

FIG.7

[図8]

		i_2					
i_1		0	1	2	3	4	5
	0	$x^{(2)}(k,0,0)$	$2x^{(2)}(k,0,1)$	$2x^{(2)}(k,0,2)$	$2x^{(2)}(k,0,3)$	$2x^{(2)}(k,0,4)$	$2x^{(2)}(k,0,5)$
1	0	0	$x^{(2)}(k-1,0,0)$	$2x^{(2)}(k-1,0,1)$	$2x^{(2)}(k-1,0,2)$	$2x^{(2)}(k-1,0,3)$	$2x^{(2)}(k-1,0,4)$
2	0	0	0	$x^{(2)}(k-2,0,0)$	$2x^{(2)}(k-2,0,1)$	$2x^{(2)}(k-2,0,2)$	$2x^{(2)}(k-2,0,3)$
3	0	0	0	0	$x^{(2)}(k-3,0,0)$	$2x^{(2)}(k-3,0,1)$	$2x^{(2)}(k-3,0,2)$
4	0	0	0	0	0	$x^{(2)}(k-4,0,0)$	$2x^{(2)}(k-4,0,1)$
5	0	0	0	0	0	0	$x^{(2)}(k-5,0,0)$

FIG.8

[図9]

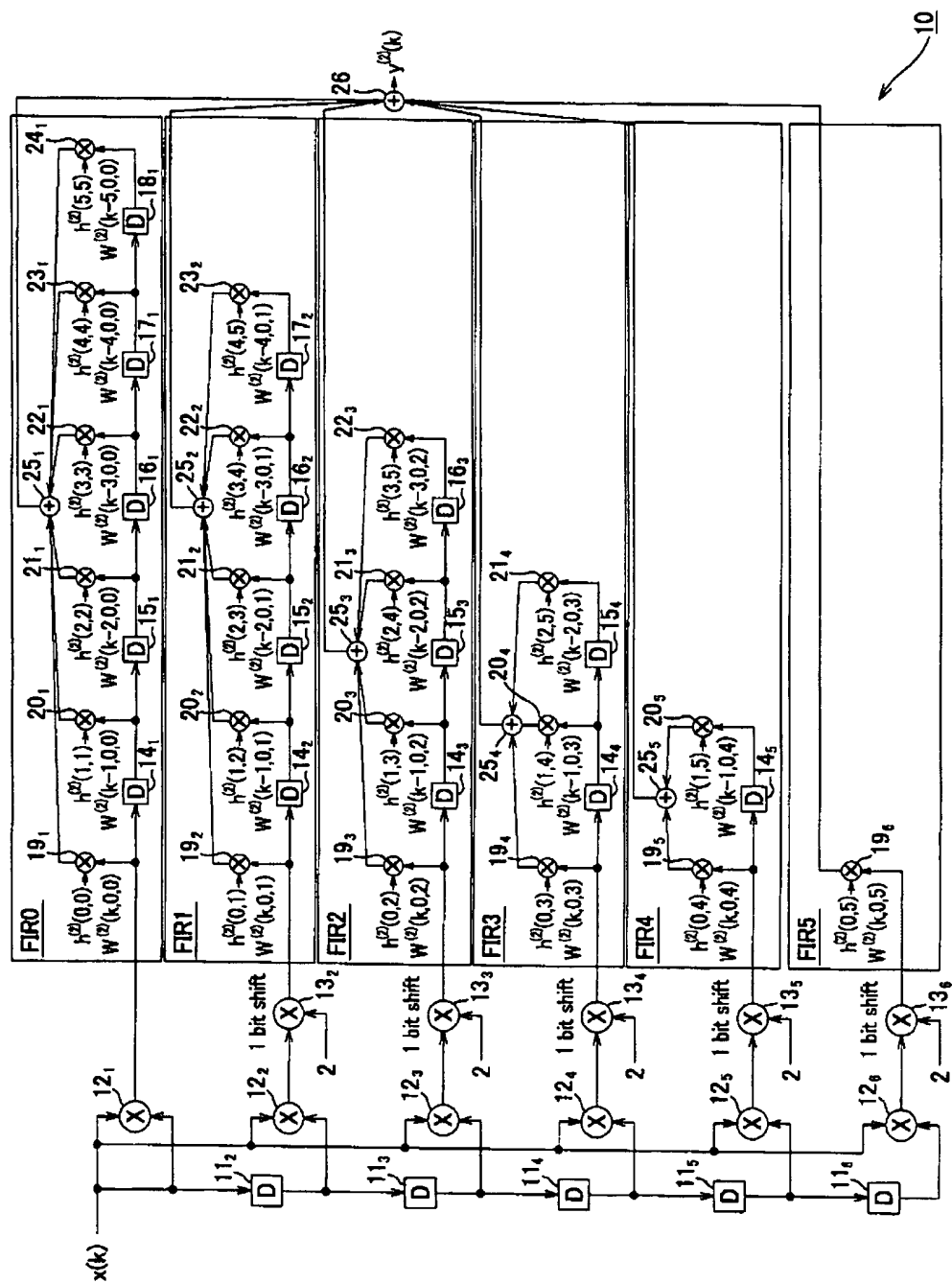


FIG.9

[図10]

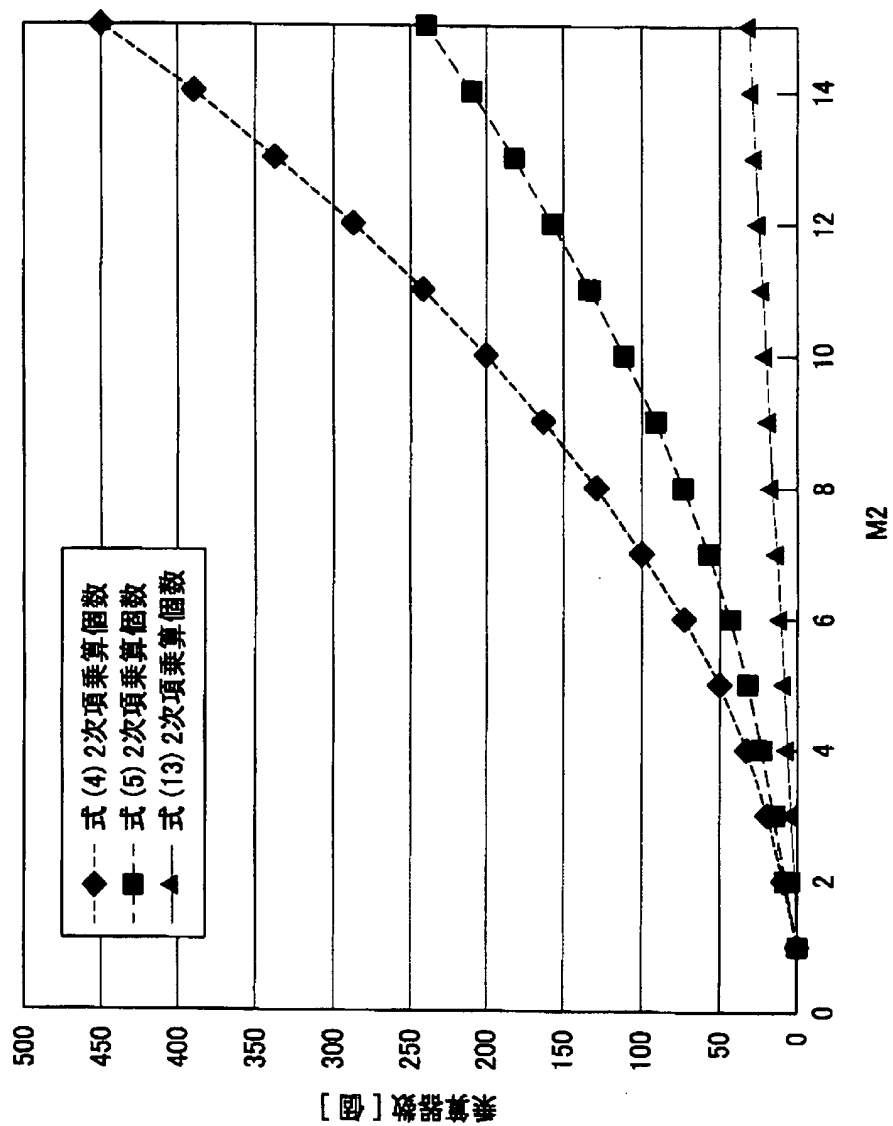


FIG.10

[図11]

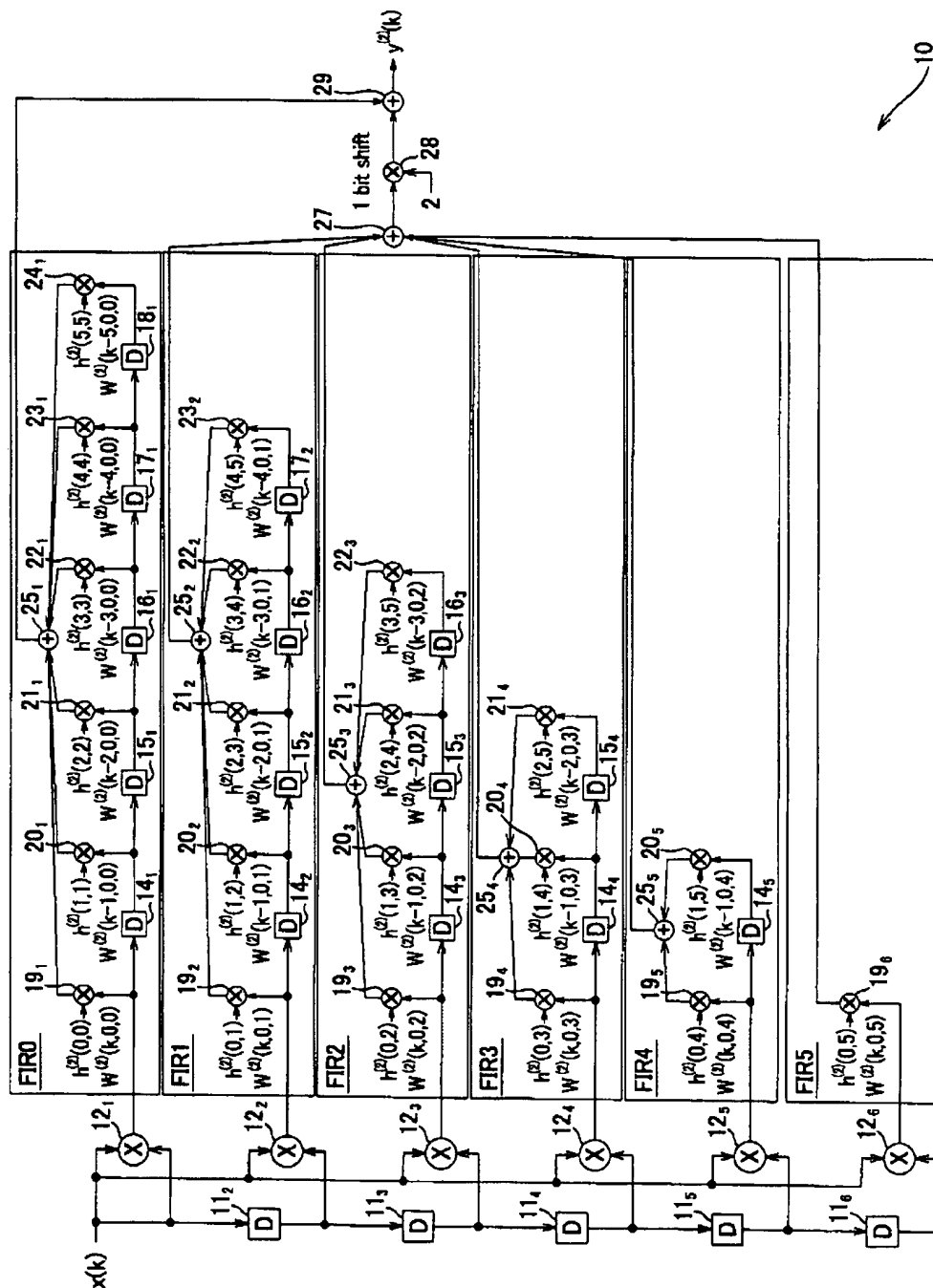


FIG.11

[図12]

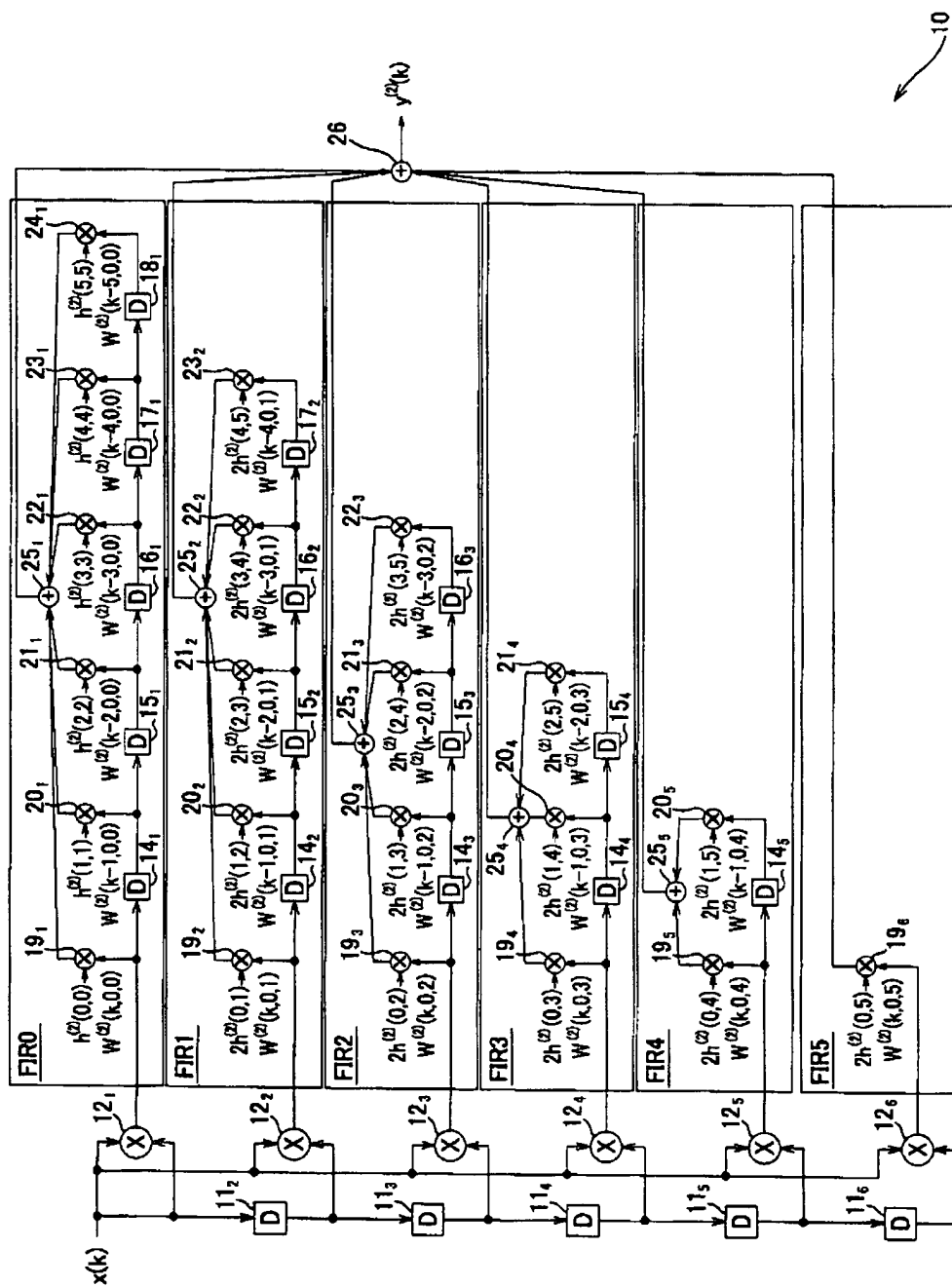


FIG.12

[図13]

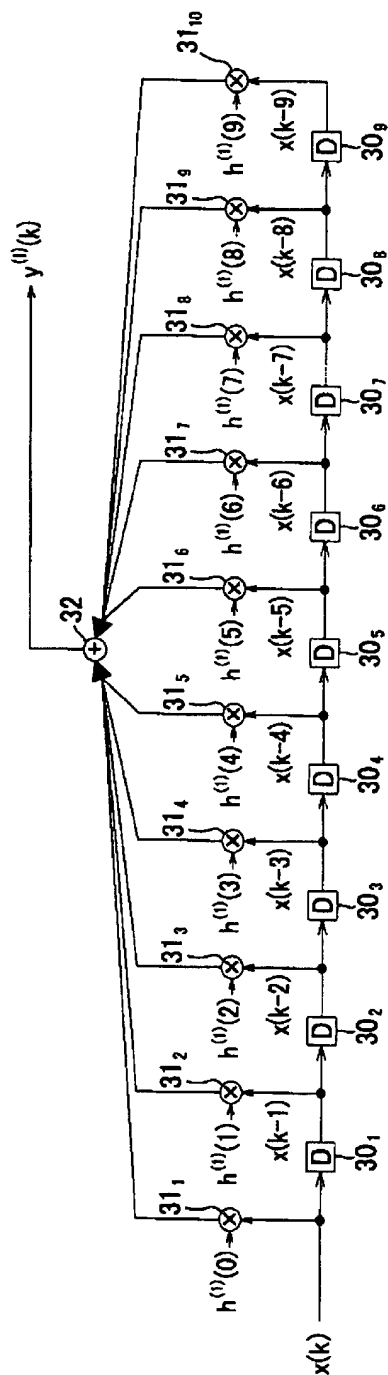


FIG.13

[図14]

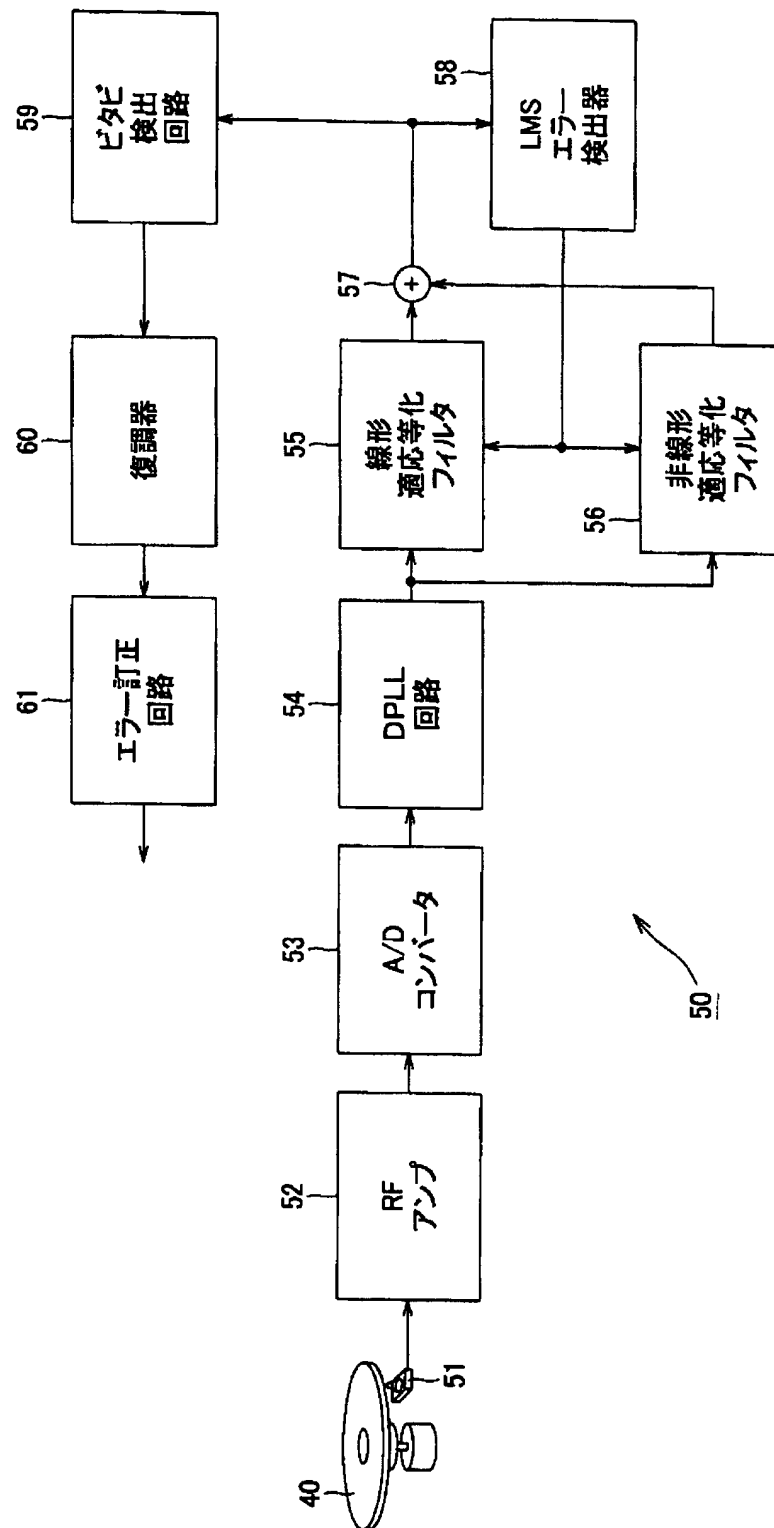


FIG. 14

[図15]

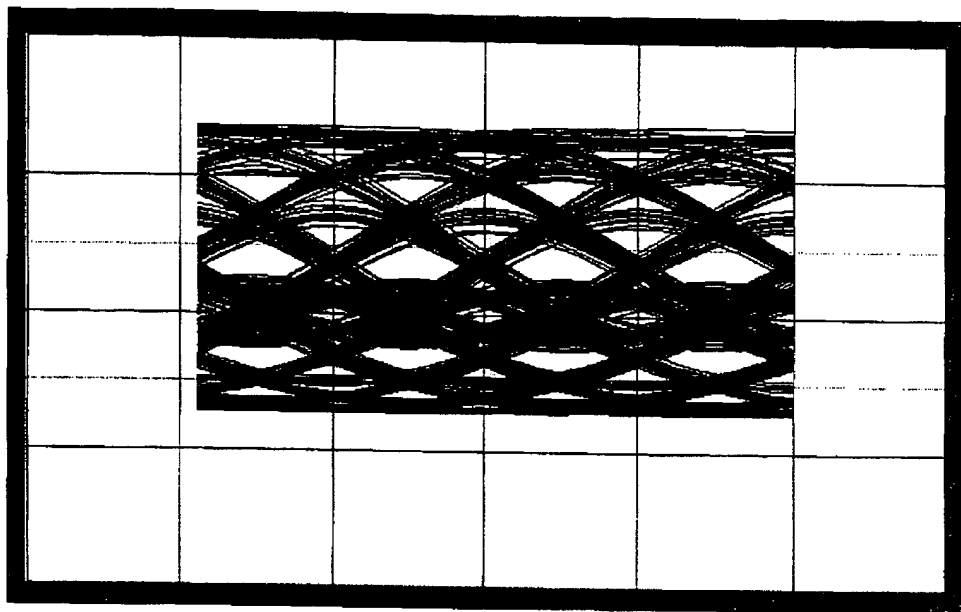


FIG.15A

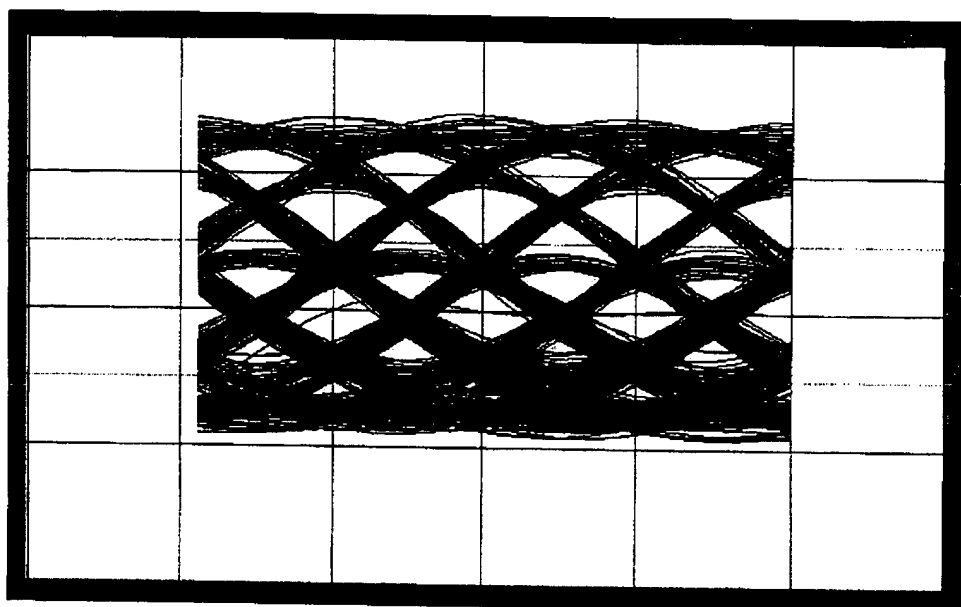


FIG.15B

BEST AVAILABLE COPY

[図16]

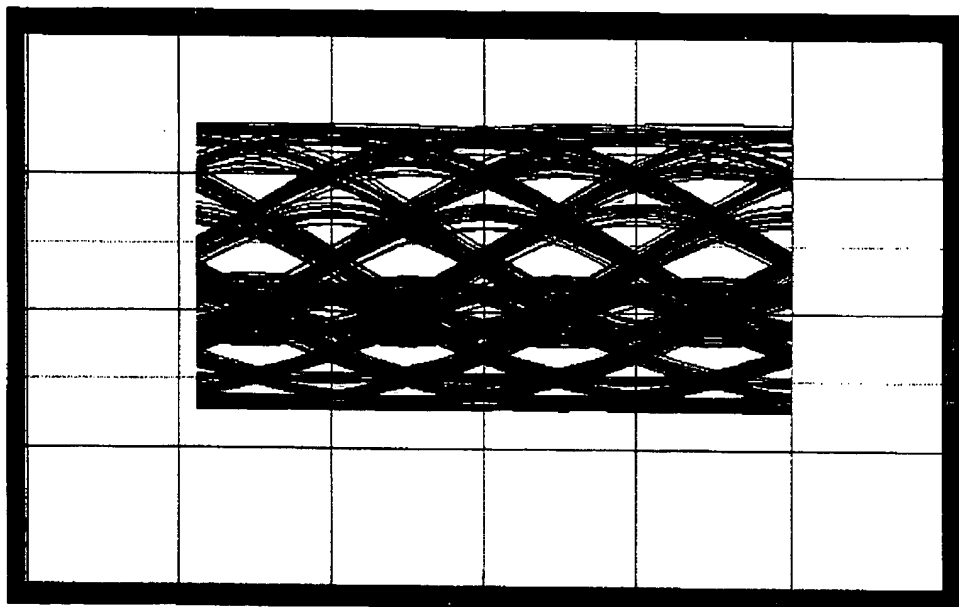


FIG. 16A

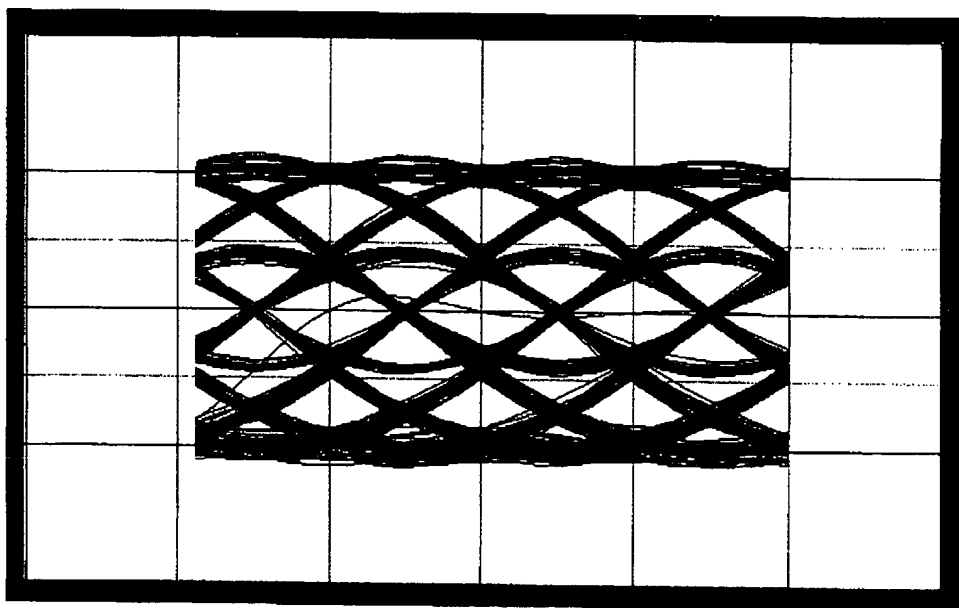


FIG. 16B

BEST AVAILABLE COPY

[図17]

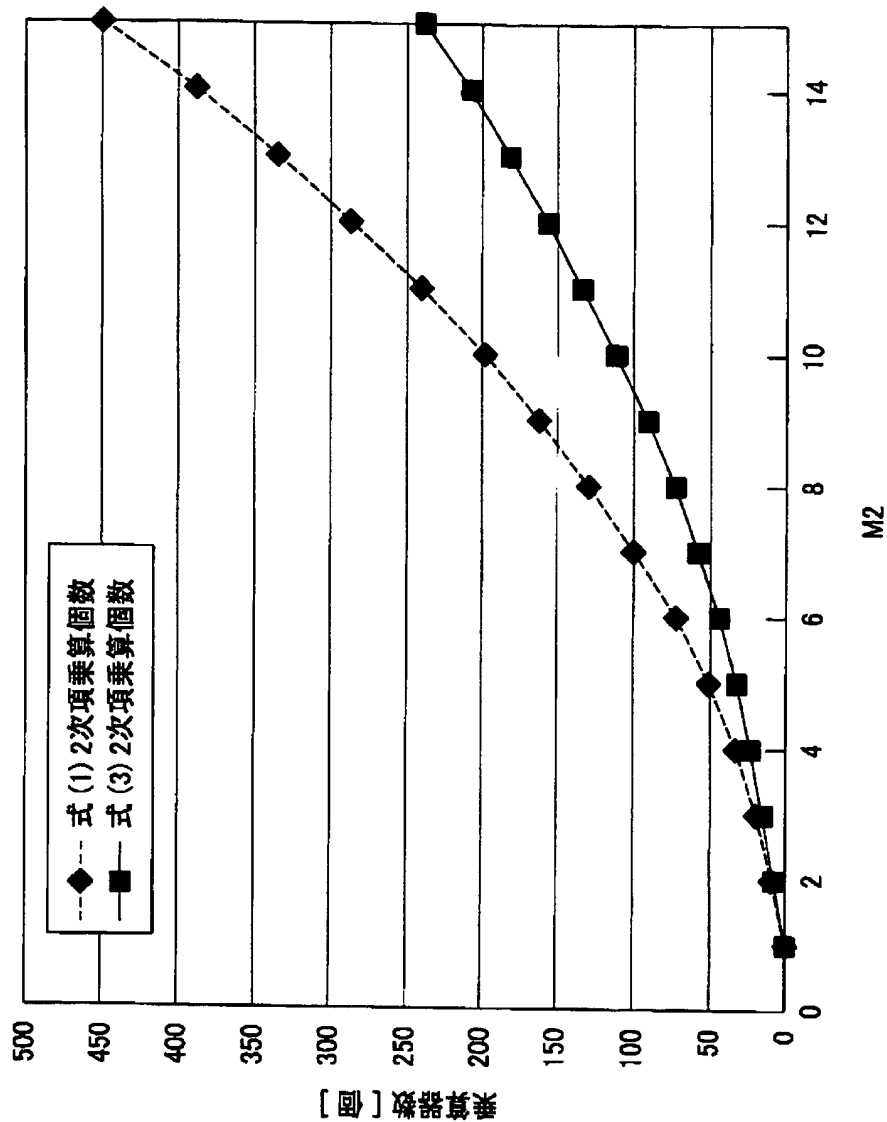


FIG.17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005371

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H03H17/00, H03H17/02, G11B20/10, G11B20/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03H17/00-17/08, G11B20/10, G11B20/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	GLENTIS et al., 'Efficient algorithms for Volterra system identification', IEEE Transactions on Signal Processing, Beikoku, IEEE, 1999 Nen 11 Gatsu, Vol.47, Issue 11, pages 3042 to 3057	1-9
Y	JP 2001-525101 A (Koninklijke Philips Electronics N.V.), 04 December, 2001 (04.12.01), Page 4, lines 9 to 25; Fig. 1 & US 6600794 B1 & WO 1999/041839 A1	1-9
Y	MATHEWS, V.J., 'Adaptive polynomial filters', Signal Processing Magazine, Beikoku, IEEE, 1991 Nen 7 Gatsu, Vol.8, Issue 3, pages 10 to 26	5-9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2005 (15.06.05)Date of mailing of the international search report
28 June, 2005 (28.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H03H17/00, H03H17/02, G11B20/10, G11B20/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H03H17/00-17/08, G11B20/10, G11B20/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	GLENTIS et al. 'Efficient algorithms for Volterra system identification', IEEE Transactions on Signal Processing, 米国, IEEE, 1999年11月発行, Vol. 47, Issue 11, pp3042-3057	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.06.2005

国際調査報告の発送日

28.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

東 昌秋

電話番号 03-3581-1101 内線 3576

5W

3139

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-525101 A (コーニンレッカ フィリップス エレクトロニクス エヌ ヴィ) 2001. 12. 04, 第4頁第9行~第25行, 第1図 & US 6600794 B1 & WO 1999/041839 A1	1-9
Y	MATHEWS,V.J. 'Adaptive polynomial filters', Signal Processing Magazine, 米国, IEEE, 1991年7月発行, Vol. 8, Issue 3, pp10-26	5-9